

H11-297885

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297885

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 23/12

H05K 1/09

H05K 3/34

H05K 3/46

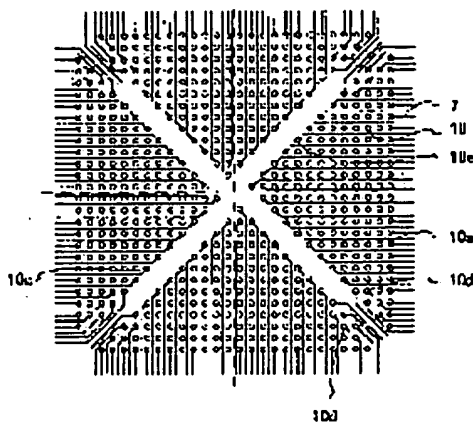
(21)Application number : 10-102646

(71)Applicant : SHINKO ELECTRIC IND CO
LTD

(22)Date of filing : 14.04.1998

(72)Inventor : HORIUCHI MICHIO
YODA EIJI

(54) MULTILAYER CIRCUIT BOARD



(57)Abstract:

PROBLEM TO BE SOLVED: To enable a multilayer circuit board provided with connection electrodes arranged in lattice and mounted with an electronic part to be lessened in number of layers, easily manufactured, and enhanced in yield.

SOLUTION: An electronic part is mounted on a first circuit board, a circuit pattern is led out from all outermost lands 10a located on the periphery of a region of the first circuit board where lands 10 are arranged and which is mounted with an electronic part and the lands 10 arranged on and near the diagonal lines of the region. Furthermore, as to a second circuit board and following circuit boards, a circuit pattern is led out from all outermost lands 10a located on the periphery of a region where lands 10 are arranged and lands 10e arranged on the side edges of a blank space which is formed in the direction of a diagonal line by leading out a circuit

pattern.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the multilayered circuit board for carrying electronic parts, such as a semiconductor device with which the external connection terminal was arranged the shape of a semiconductor chip or an area array which has the connection electrode arranged in the shape of a grid.

[0002]

[Description of the Prior Art] In the latest semiconductor device, advanced features of a logic device and densification progress and the number of I/O is increasing. For this reason, the electrode forming face of a semiconductor chip has come to be provided with the product which compensates the shape of a grid with lack of the tooth space which arranges a connection electrode by arranging many electrodes. Drawing 18 is the example which carried the semiconductor chip 4 in the circuit board 5 by the usual flip chip bonding. This semiconductor chip 4 is what arranged the electrode 6 only to the periphery of an electrode forming face, and has connected all the electrodes 6 and circuit patterns 7 only by forming one layer of circuit patterns 7.

[0003] Drawing 19 is the example of formation of a land 8 and the circuit pattern 7 prepared in the circuit board in which a semiconductor chip is carried. In this example, a land 8 is arranged in two trains and the circuit pattern 7 is pulled out from all the lands 8 at one flat surface by pulling out the circuit pattern 7 linked to the inside land 8 from the middle of a land 8 when an outside adjoins. Although based also on land spacing or the number of lands, it becomes impossible no however, to pull out wiring from lands in one flat surface, when many electrodes are arranged in a train by area array-like arrangement at an electrode forming face.

[0004] As an approach of solving such a problem, the circuit board in which a semiconductor chip is carried is formed in a multilayer, and there is the approach of connecting a circuit pattern to all the electrodes of a semiconductor chip by arranging a circuit pattern suitably by each circuit board which carries out a laminating. Drawing 20 is the example which carried the semiconductor chip 4 which arranged

many electrodes 6 in a grid-like array in the multilayered circuit board. If such a multilayered circuit board is used, all the electrode 6 and circuit patterns 7 and 7a of a semiconductor chip 4 can be connected electrically, and the external connection terminal 9 and an electrode 6 can be connected electrically. In this drawing, 7a is the circuit pattern of an inner layer, and 5a-5d are the circuit boards of layer [1st] - the 4th layer.

[0005]

[Problem(s) to be Solved by the Invention] As mentioned above, when it carries a semiconductor chip in the circuit board, and there are not so many electrodes, it ends by the multilayered circuit board which carried out the two-layer extent laminating of the circuit board, but when it carries the semiconductor chip which arranged very many electrodes, such as 30x30 pins and 40x40 pins, the laminating of the circuit board must be carried out to the a large number layer of 6-10 layers.

[0006] For carrying out the laminating of the circuit board by which the circuit pattern was formed in high density, and constituting a multilayered circuit board, the high density wiring approaches, such as the build up method, are used. However, in manufacture of a multilayered circuit board, there are a yield of a product, dependability, and a big problem in respect of a manufacturing cost. That is, since a circuit pattern is electrically connected between layers with beer and it is made to carry out a laminating one by one while forming a circuit pattern for every layer, in forming the circuit board in a multilayer, high degree of accuracy is extremely required of the manufacture process, and the present's dependability of a product is not necessarily high. And since it is required for there to be no defect in all layers to carry out a laminating to a multilayer, technical difficulty increases further.

[0007] Since it is such, in order to manufacture a multilayered circuit board with the sufficient yield, it is very effective to reduce the number of layers of a wiring layer. The semiconductor chip to which this invention has arranged the electrode in the shape of a grid to the component-side side by many pins, such as 30x30 pins or 40x40 pins, Or it is a thing about the multilayered circuit board which carries electronic parts, such as a semiconductor device which has arranged the electrode in the shape of a grid, in a component-side side. The number of layers of the multilayered circuit board in which these semiconductor chips or semiconductor devices etc. are carried is reduced, and the manufacture yield of a multilayered circuit board is raised by this, and it aims at enabling it to provide as a reliable product.

[0008]

[Means for Solving the Problem] This invention is equipped with the next configuration in order to attain the above-mentioned purpose. Namely, the land electrically connected with the circuit pattern between layers through beer while being formed in the component-side side of the electronic parts carried by the same arrangement as many connection electrodes arranged in the shape of a grid, In the multilayered circuit board to which the laminating of the circuit board in which an end is connected to said land and the other end has the circuit pattern which was pulled out outside and formed in it from the inside of the field where said land was arranged was carried out All the lands arranged at the outermost periphery in the field in which the land was arranged about the circuit board of the 1st layer in which said electronic parts are carried, All the lands arranged at the outermost periphery in the field in which the circuit pattern was pulled out from the land arranged [near / which have been arranged on the diagonal line of said field / a land and near the diagonal line], and the land was arranged about the circuit board after the 2nd layer, It is characterized by pulling out the circuit pattern from the land arranged on the side

edge of the free space which the circuit pattern was pulled out in the upper layer and formed in the direction of the diagonal line.

[0009] Moreover, it is characterized by pulling out the circuit pattern by said circuit board of the 1st layer from the land arranged on the diagonal line of said field, and the land arranged on one train parallel to the diagonal line by the one side of the diagonal line concerned. Moreover, it is characterized by pulling out the circuit pattern preferentially from the land arranged at a periphery side near the mid gear of each side of the field where said land was arranged.

[0010] Moreover, the land electrically connected with the circuit pattern between layers through beer while being formed in the component-side side of the electronic parts carried by the same arrangement as many connection electrodes arranged in the shape of a grid, In the multilayered circuit board to which the laminating of the circuit board in which an end is connected to said land and the other end has the circuit pattern which was pulled out outside and formed in it from the inside of the field where said land was arranged was carried out All the lands arranged at the outermost periphery in the field in which the land was arranged about the circuit board of the 1st layer in which said electronic parts are carried, All the lands arranged at the outermost periphery in the field in which the circuit pattern was pulled out from the land arranged near the diagonal line near [said] the corner, and the land was arranged about the circuit board after the 2nd layer, From the land arranged near the free space which the circuit pattern was pulled out in the upper layer and formed near the corner, it is characterized by pulling out the circuit pattern considering said free space as a drawer tooth space of a circuit pattern.

[0011]

[Example] Hereafter, the example of the multilayered circuit board concerning this invention is explained to a detail with an accompanying drawing. In case a circuit pattern is pulled out from the inside of the field which has arranged the land by the circuit board, a circuit pattern is pulled out through between the adjoining lands. The conditions which can let at least one circuit pattern pass between the adjoining lands are $p > \frac{w}{2} + c$ as the pitch (pitch) p of a land, the line breadth w of a circuit pattern, the spacing s of a circuit pattern, and a path c of a land. It is satisfying $w + 2s + c$. It is a premise that the multilayered circuit board concerning this invention is that with which the land pitch of the circuit board which constitutes each class, the line breadth of a circuit pattern, etc. fill this condition.

[0012] (Example 1) Drawing 1 -5 show the 1st example of a multilayered circuit board. This example shows the example of a drawer of the circuit pattern 7 at the time of arranging a land 10 in the shape of a normal grid by 30x30 pins.

Land pitch 240 micrometers, diameter of a land Line breadth of 110 micrometers and a circuit pattern Spacing of 43 micrometers and a circuit pattern 43 micrometers [0013] Drawing 1 shows the example of a drawer of the arrangement of the land 10 in the circuit board of the 1st layer and the circuit pattern 7 to which electronic parts are joined. In addition, arrangement of the land 10 prepared in the circuit board of the 1st layer is in agreement with arrangement of the connection electrode of the electronic parts carried in a multilayered circuit board. By the approach to pull out the circuit pattern 7 shown in drawing 1 , a characteristic configuration is to pull out the circuit pattern 7 preferentially from land 10b arranged on the diagonal line of a rectangle field, and land 10c arranged on one train parallel to the diagonal line by the one side of the diagonal line while pulling out the circuit pattern 7 from all of land 10a located in the outermost periphery in the rectangle field in which the land 10 is arranged.

[0014] About the land located in the center-section side of the rectangle field on the

lands 10b and 10c by which the circuit pattern 7 is pulled out, as shown in drawing 1, the circuit pattern 7 is linearly pulled out to the outside of the arrangement field of a land 10 through between the adjoining lands 10. The circuit pattern 7 pulled out from land 10a which has arranged arrangement of the circuit pattern 7 in the outside of a land arrangement field to the outermost periphery of a land arrangement field, and the circuit pattern 7 pulled out from the inside of a land arrangement field come to be arranged by turns by this.

[0015] In addition, about the land arranged near the corner of a land arrangement field, the circuit pattern 7 can be pulled out also from lands other than land 10c on a train parallel to land 10b and this which are arranged on the above-mentioned diagonal line. 10d is the land which pulled out the circuit pattern 7 except the above-mentioned land in drawing 1. About the part near the corner of a land arrangement field, it is because it is easy to pull out the circuit pattern 7.

[0016] Drawing 2 shows arrangement of the land 10 in the circuit board of the 2nd layer, and the drawer of the circuit pattern 7. In addition, it is not necessary to arrange a land 10 to the 2nd layer about the land by which the circuit pattern 7 was pulled out by the 1st layer. Therefore, the land 10 arranged at the 2nd layer is a land by which the circuit pattern 7 is not pulled out by the circuit board of the 1st layer. The land 10 and the land 10 of the 1st layer which are arranged at the 2nd layer are electrically connected by beer between layers.

[0017] An approach to pull out the circuit pattern 7 in the circuit board of the 2nd layer About land 10a located in the outermost periphery of a land arrangement field like an approach to pull out the circuit pattern 7 in the circuit board of the 1st layer, the circuit pattern 7 is pulled out altogether. By having pulled out land 10c arranged on a train parallel to land 10b and the diagonal line which have been arranged on the diagonal line by the 1st layer about the inside part of a land arrangement field It is in pulling out the circuit pattern 7 preferentially from land 10e arranged on the side edge of the free space formed in the direction of the diagonal line.

[0018] By having pulled out the circuit pattern 7 from land 10c arranged on a train parallel to land 10b and the diagonal line which have been arranged on the diagonal line by the circuit board of the 1st layer, free space is formed in the direction of the diagonal line by the circuit board of the 2nd layer. I hear that pulling out the circuit pattern 7 from land 10e arranged on the side edge of this free space by the 2nd layer chooses the land which pulls out the circuit pattern 7 so that the free space of the direction of the diagonal line may be extended in the land arrangement field arranged so to speak at the circuit board, and there is. In addition, also in the 2nd layer, it is pulling out preferentially about land 10d arranged near the corner in a land arrangement field.

[0019] Drawing 3 shows arrangement of the land 10 in the circuit board of the 3rd layer, and the drawer of the circuit pattern 7. Even this 3rd [at least] layer of the circuit pattern 7 is altogether pulled out about land 10a of the outermost periphery of a land arrangement field, and the circuit pattern 7 is preferentially pulled out about the inside part of a land arrangement field from land 10e arranged on the side edge of the free space formed in the direction of the diagonal line.

[0020] Drawing 4 shows arrangement of the land 10 in the circuit board of the 4th layer, and the drawer of the circuit pattern 7. Even this 4th [at least] layer of the circuit pattern 7 is altogether pulled out about land 10a of the outermost periphery of a land arrangement field, and the circuit pattern 7 is preferentially pulled out about the inside part of a land arrangement field from land 10e arranged on the side edge of the free space formed in the direction of the diagonal line. In the 4th layer, the free-space

part widely formed in the direction of the diagonal line is passed, and the circuit pattern 7 is pulled out.

[0021] Drawing 5 shows arrangement of the land 10 in the circuit board of the 5th layer, and the drawer of the circuit pattern 7. Since the lands 10 which remain in the 5th layer are few, they can pull out the circuit pattern 7 easily from all the lands 10, and can also choose suitably the design which pulls out the circuit pattern 7.

[0022] According to the multilayered circuit board of this example, the circuit board of five layers can draw out the circuit pattern 7 from all the lands 10. According to the approach of this example, the number of laminatings of the circuit board can be effectively reduced to seven layers being required according to the conventional approach which pulls out two trains of circuit patterns at a time from the periphery of a land arrangement field.

[0023] (Example 2) Drawing 6-10 show the 2nd example of a multilayered circuit board. It is the example of a drawer of the circuit pattern 7 at the time of arranging a land 10 in the shape of a normal grid by 30x30 pins like [this example] an example 1.

Land pitch 350 micrometers, diameter of a land Line breadth of 120 micrometers and a circuit pattern Spacing of 50 micrometers and a circuit pattern 50 micrometers [0024] Drawing 6 shows the example of a drawer of arrangement of the land 10 in the circuit board of the 1st layer, and the circuit pattern 7. The configuration by which it is characterized by this example is to pull out and carry out the circuit pattern 7 from land 10f arranged near the direction of the diagonal line near the corner of a land arrangement field while pulling out the circuit pattern 7 preferentially from the land 10 arranged on the diagonal line of a land arrangement field. That is, it sets on the basis of the view which pulls out and carries out the circuit pattern 7 preferentially from the land 10 arranged in the direction of the diagonal line of a land arrangement field, and the circuit pattern 7 is more preferentially pulled out and carried out from the corner of a land arrangement field.

[0025] Drawing 7 shows arrangement of the land 10 in the circuit board of the 2nd layer, and the drawer of the circuit pattern 7. Also in the 2nd layer, while pulling out the circuit pattern 7 from all lands 10a about land 10a of the outermost periphery, the circuit pattern 7 is preferentially pulled out from land 10f arranged the land arranged on the diagonal line on the land arranged near the corner of a land arrangement field, and near [its] the both sides.

[0026] Drawing 8 shows arrangement of the land 10 in the circuit board of the 3rd layer, and the drawer of the circuit pattern 7, and drawing 9 shows arrangement of the land 10 in the circuit board of the 4th layer, and the drawer of the circuit pattern 7. By any circuit board, the land arranged in the direction of the diagonal line near the corner among land arrangement fields is pulled out preferentially.

[0027] In the case of this example, there is an advantage that the tooth space which was vacant by having pulled out the circuit pattern 7 in the upper layer can be used as a tooth space which pulls out the circuit pattern 7 in the layer concerned so that an approach to pull out drawing 7 and the circuit pattern 7 shown in 8 and 9 may be seen and may be known. That is, by pulling out the circuit pattern 7 preferentially from land 10f near the diagonal line near the corner of a land arrangement field, in case the free space in the corner of a land arrangement field pulls out breadth and this free space pulls out the circuit pattern 7, it is used without futility.

[0028] Drawing 10 shows arrangement of the land 10 of the 5th layer, and the drawer of the circuit pattern 7. In this example as well as an example 1, it is constituted by five layers, but the lands 10 which remain in the 5th layer compared with the example 1 are few, and the drawer of the circuit pattern 7 has finished them even as the 4th

layer mostly. As shown in drawing 10 , when free space other than the field which a land 10 and the circuit pattern 7 occupy within the circuit board is large, layers used in common, such as a voltage plane and a ground layer, can be formed and used for a free-space part.

[0029] (Example 3) The 3rd example of drawing 11 and 12 multilayered circuit boards is shown. It is the example of a drawer of the circuit pattern 7 at the time of arranging a land 10 in the shape of a normal grid by 30x30 pins similarly like [this example] examples 1 and 2. However, in this example, it is the case that the wiring width of face and wiring spacing of the circuit pattern 7 are narrower than the above-mentioned example, and is an example in the case of the ability to let three circuit patterns 7 pass between the adjoining lands 10.

Land pitch 350 micrometers, diameter of a land Line breadth of 100 micrometers and a circuit pattern Spacing of 25 micrometers and a circuit pattern 25 micrometers [0030] Drawing 11 shows arrangement of the land 10 in the circuit board of the 1st layer, and the drawer of the circuit pattern 7. An approach to pull out the circuit pattern 7 in this example is the same as that of the above-mentioned example, pulls out the circuit pattern 7 altogether about land 10a of the outermost periphery in a land arrangement field, and pulls out preferentially the land 10 further arranged near the corner in the land arrangement field, and the land 10 arranged on the diagonal line of a land arrangement field, and in its near.

[0031] At this example, since it is possible to let three circuit patterns 7 pass between the adjoining lands 10, the circuit pattern 7 can be pulled out from the land 10 of two or more trains on the land 10 arranged on the diagonal line of a land arrangement field, and its both sides. Drawing 12 shows arrangement of the land 10 in the circuit board of the 2nd layer, and the drawer of the circuit pattern 7. At this example, the circuit pattern 7 is pulled out from all the lands 10 by the 2nd layer.

[0032] When a circuit pattern is pulled out by the approach to pull out the conventional circuit pattern on the same conditions as this example, three layers of circuit boards are needed. On the other hand, in this example, the circuit board is effective, when it is two-layer, it can clear up and the number of laminatings of the circuit board is decreased. If wiring is prepared in both sides of the circuit board in the case of this example, it will become unnecessary in addition, to carry out the laminating of the circuit board.

[0033] (Example 4) Drawing 13 -17 show the 4th example of a multilayered circuit board. This example shows the example of a drawer of the circuit pattern 7 in the case of having the land arrangement field of the typeface of RO except the land of the normal grid-like array of 22x22 pins of a center section from the land of a normal grid-like array by 42x42 pins.

Land pitch 240 micrometers, diameter of a land Line breadth of 110 micrometers and a circuit pattern Spacing of 43 micrometers and a circuit pattern 43 micrometers [0034] In this example, while pulling out the circuit pattern 7 from land 10a of the outermost periphery in a land arrangement field, the circuit pattern 7 is preferentially pulled out from land 10b arranged on the diagonal line in a land arrangement field, and land 10e of the near, and the circuit pattern 7 is preferentially pulled out from land 10g further arranged near the mid gear of each side of a land arrangement field at a periphery side.

[0035] Drawing 13 shows arrangement of the land 10 in the circuit board of the 1st layer, and the drawer of the circuit pattern 7, and drawing 14 shows arrangement of the land 10 in the circuit board of the 2nd layer, and the drawer of the circuit pattern 7. About the land pulled out from the diagonal line in a land arrangement field, the

circuit pattern 7 is pulled out from land 10e arranged on the side edge of the free space formed in the direction of the diagonal line.

[0036] Drawing 15 shows arrangement of the land 10 in the circuit board of the 3rd layer, and the drawer of the circuit pattern 7, and drawing 16 shows arrangement of the land 10 in the circuit board of the 4th layer, and the drawer of the circuit pattern 7. Signs that the circuit pattern 7 is preferentially pulled out from the land near the center section on each side of the direction of the diagonal line of a land arrangement field and a land arrangement field are known.

[0037] Drawing 17 shows arrangement of the land 10 in the circuit board of the 5th layer, and the drawer of the circuit pattern 7. The lands which remain are very few to the 5th layer, and the drawer of the circuit pattern from a land is almost ended even by the 4th layer. When the conventional approach which pulls out two trains of circuit patterns at a time from the periphery of a land arrangement field is applied to the conditions of this example, five layers of circuit boards are needed. On the other hand, according to the approach of this example, it can be said that the drawer of a circuit pattern is efficiently made at the point which the drawer of almost all the circuits pattern completes by about four layers.

[0038]

[Effect of the Invention] It makes it possible to provide as a reliable multilayered circuit board while the multilayered circuit board concerning this invention can make it possible to pull out a circuit pattern efficiently out of the field which arranged the land, can reduce the number of layers of a multilayered circuit board by this and raises the manufacture yield of a multilayered circuit board, as mentioned above. Moreover, the multilayered circuit board concerning this invention is based on the approach of pulling out a circuit pattern towards the inside one by one from the outside of a land, and it does so higher efficacy, like the drawer of an efficient circuit pattern becomes possible, without changing the conventional wiring sequence a lot.

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view showing arrangement of the land in the circuit board of the 1st layer in the 1st example of a multilayered circuit board, and a circuit pattern.

[Drawing 2] It is the explanatory view showing arrangement of the land in the circuit board of the 2nd layer in the 1st example of a multilayered circuit board, and a circuit pattern.

[Drawing 3] It is the explanatory view showing arrangement of the land in the circuit board of the 3rd layer in the 1st example of a multilayered circuit board, and a circuit pattern.

[Drawing 4] It is the explanatory view showing arrangement of the land in the circuit board of the 4th layer in the 1st example of a multilayered circuit board, and a circuit pattern.

[Drawing 5] It is the explanatory view showing arrangement of the land in the circuit board of the 5th layer in the 1st example of a multilayered circuit board, and a circuit pattern.

[Drawing 6] It is the explanatory view showing arrangement of the land in the circuit board of the 1st layer in the 2nd example of a multilayered circuit board, and a circuit pattern.

[Drawing 7] It is the explanatory view showing arrangement of the land in the circuit board of the 2nd layer in the 2nd example of a multilayered circuit board, and a circuit pattern.

[Drawing 8] It is the explanatory view showing arrangement of the land in the circuit board of the 3rd layer in the 2nd example of a multilayered circuit board, and a circuit pattern.

[Drawing 9] It is the explanatory view showing arrangement of the land in the circuit board of the 4th layer in the 2nd example of a multilayered circuit board, and a circuit pattern.

[Drawing 10] It is the explanatory view showing arrangement of the land in the circuit board of the 5th layer in the 2nd example of a multilayered circuit board, and a circuit pattern.

[Drawing 11] It is the explanatory view showing arrangement of the land in the circuit board of the 1st layer in the 3rd example of a multilayered circuit board, and a circuit pattern.

[Drawing 12] It is the explanatory view showing arrangement of the land in the circuit board of the 2nd layer in the 3rd example of a multilayered circuit board, and a circuit pattern.

[Drawing 13] It is the explanatory view showing arrangement of the land in the circuit board of the 1st layer in the 4th example of a multilayered circuit board, and a circuit pattern.

[Drawing 14] It is the explanatory view showing arrangement of the land in the circuit board of the 2nd layer in the 4th example of a multilayered circuit board, and a circuit pattern.

[Drawing 15] It is the explanatory view showing arrangement of the land in the circuit board of the 3rd layer in the 4th example of a multilayered circuit board, and a circuit pattern.

[Drawing 16] It is the explanatory view showing arrangement of the land in the circuit board of the 4th layer in the 4th example of a multilayered circuit board, and a circuit pattern.

[Drawing 17] It is the explanatory view showing arrangement of the land in the circuit

board of the 5th layer in the 4th example of a multilayered circuit board, and a circuit pattern.

[Drawing 18] It is the explanatory view showing how to carry a semiconductor chip by flip chip bonding.

[Drawing 19] It is the explanatory view showing an approach to pull out the conventional circuit pattern.

[Drawing 20] It is the sectional view showing the configuration which carried the semiconductor chip in the multilayered circuit board.

[Description of Notations]

4 Semiconductor Chip

5 Circuit Board

6 Electrode

7 Circuit Pattern

10, 10a, 10b, 10c, 10d, 10e, 10f Land

[Claim(s)]

[Claim 1] The land electrically connected with the circuit pattern between layers through beer while being formed in the component-side side of the electronic parts carried by the same arrangement as many connection electrodes arranged in the shape of a grid, In the multilayered circuit board to which the laminating of the circuit board in which an end is connected to said land and the other end has the circuit pattern which was pulled out outside and formed in it from the inside of the field where said land was arranged was carried out All the lands arranged at the outermost periphery in the field in which the land was arranged about the circuit board of the 1st layer in which said electronic parts are carried, All the lands arranged at the outermost periphery in the field in which the circuit pattern was pulled out from the land arranged [near / which have been arranged on the diagonal line of said field / a land and near the diagonal line], and the land was arranged about the circuit board after the 2nd layer, The multilayered circuit board characterized by pulling out the circuit pattern from the land arranged on the side edge of the free space which the circuit pattern was pulled out in the upper layer and formed in the direction of the diagonal line.

[Claim 2] The multilayered circuit board according to claim 1 characterized by pulling out the circuit pattern by said circuit board of the 1st layer from the land arranged on the diagonal line of said field, and the land arranged on one train parallel to the diagonal line by the one side of the diagonal line concerned.

[Claim 3] The multilayered circuit board according to claim 1 or 2 characterized by pulling out the circuit pattern preferentially from the land arranged at a periphery side near the mid gear of each side of the field where said land was arranged.

[Claim 4] The land electrically connected with the circuit pattern between layers through beer while being formed in the component-side side of the electronic parts carried by the same arrangement as many connection electrodes arranged in the shape of a grid, In the multilayered circuit board to which the laminating of the circuit board in which an end is connected to said land and the other end has the circuit pattern which was pulled out outside and formed in it from the inside of the field where said land was arranged was carried out All the lands arranged at the outermost periphery in the field in which the land was arranged about the circuit board of the 1st layer in which said electronic parts are carried, All the lands arranged at the outermost periphery in the field in which the circuit pattern was pulled out from the land arranged near the diagonal line near [said] the corner, and the land was arranged about the circuit board after the 2nd layer, The multilayered circuit board characterized by pulling out the circuit pattern considering said free space as a drawer tooth space of a circuit pattern from the land arranged near the free space which the circuit pattern was pulled out in the upper layer and formed near the corner.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-297885

(43)公開日 平成11年(1999)10月29日

(51)Int.Cl.⁹

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

N

H 0 5 K 1/09

H 0 5 K 1/09

A

3/34

5 0 1

3/34

5 0 1 F

3/46

3/46

N

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号

特願平10-102646

(22)出願日

平成10年(1998)4月14日

(71)出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72)発明者 堀内 道夫

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(72)発明者 依田 英治

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

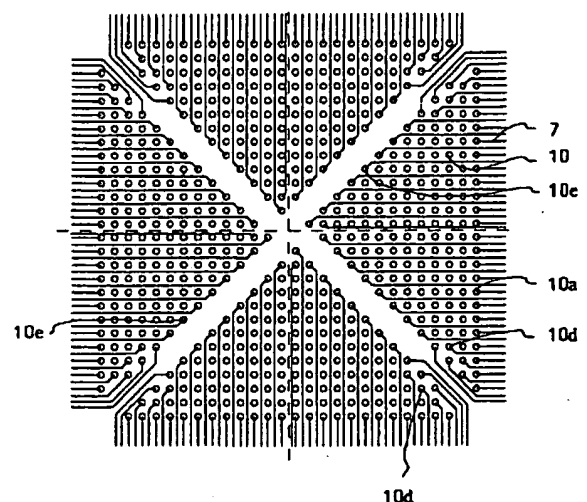
(74)代理人 弁理士 綿貫 隆夫 (外1名)

(54)【発明の名称】 多層回路基板

(57)【要約】

【課題】 格子状に接続電極を配列した電子部品を搭載する多層回路基板の積層数を減らし、多層回路基板の製造を容易にして歩留りを向上させる。

【解決手段】 電子部品を搭載する第1層目の回路基板について、ランド10が配列された領域で最外周に配置されたすべてのランド10aと、前記領域の対角線上に配置されたランド10および対角線近傍に配置されたランドから回路パターンを引き出し、第2層目以降の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランド10aと、上層で回路パターンが引き出されて対角線方向に形成された空きスペースの側縁上に配置されたランド10eから回路パターンを引き出す。



【特許請求の範囲】

【請求項1】 搭載される電子部品の実装面側に格子状に配列された多数個の接続電極と同一の配置で形成されるときともビアを介して層間の回路パターンと電気的に接続されたランドと、一端が前記ランドに接続され他端が前記ランドが配列された領域内から外側に引き出されて形成された回路パターンとを有する回路基板が積層された多層回路基板において、

前記電子部品が搭載される第1層目の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、前記領域の対角線上に配置されたランドおよび対角線近傍に配置されたランドから回路パターンが引き出され、

第2層目以降の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、上層で回路パターンが引き出されて対角線方向に形成された空きスペースの側縁上に配置されたランドから回路パターンが引き出されていることを特徴とする多層回路基板。

【請求項2】 前記第1層目の回路基板で、前記領域の対角線上に配置されたランドと、当該対角線の一方側で対角線と平行な1つの列上に配置されたランドから回路パターンが引き出されていることを特徴とする請求項1記載の多層回路基板。

【請求項3】 前記ランドが配列された領域の各辺の中央位置の近傍で外周側に配置されるランドから優先的に回路パターンが引き出されていることを特徴とする請求項1または2記載の多層回路基板。

【請求項4】 搭載される電子部品の実装面側に格子状に配列された多数個の接続電極と同一の配置で形成されるときともビアを介して層間の回路パターンと電気的に接続されたランドと、一端が前記ランドに接続され他端が前記ランドが配列された領域内から外側に引き出されて形成された回路パターンとを有する回路基板が積層された多層回路基板において、

前記電子部品が搭載される第1層目の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、前記角部近傍で対角線の近傍に配置されたランドから回路パターンが引き出され、

第2層目以降の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、上層で回路パターンが引き出されて角部近傍に形成された空きスペースの近傍に配置されたランドから、前記空きスペースを回路パターンの引き出しスペースとして回路パターンが引き出されていることを特徴とする多層回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は格子状に配列された接続電極を有する半導体チップあるいはエリアアレイ状に外部接続端子が配列された半導体装置等の電子部品を搭載するための多層回路基板に関する。

【0002】

【従来の技術】 最近の半導体装置ではロジックデバイスの高機能化、高密度化が進み、入出力数が増大している。このため半導体チップの電極形成面に格子状に多数個の電極を配置することによって、接続電極を配置するスペースの不足を補う製品が提供されるようになってきた。図18は通常のフリップチップ接続により半導体チップ4を回路基板5に搭載した例である。この半導体チップ4は電極形成面の周縁にのみ電極6を配列したもので、回路パターン7を1層設けるだけですべての電極6と回路パターン7とを接続している。

【0003】 図19は半導体チップを搭載する回路基板に設けたランド8と回路パターン7の形成例である。この例ではランド8を2列に配列し、内側のランド8に接続する回路パターン7を外側の隣接するランド8の間から引き出すことにより一平面ですべてのランド8から回路パターン7を引き出している。しかしながら、電極形成面にエリアアレイ状の配置で多数列に電極を配列したような場合には、ランド間隔やランド数にもよるが一つの平面内ですべてのランドから配線を引き出すことができなくなる。

【0004】 このような問題を解決する方法として、半導体チップを搭載する回路基板を多層に形成し、積層する各回路基板で回路パターンを適宜配置することによって半導体チップのすべての電極に回路パターンを接続する方法がある。図20は多層回路基板に格子状配列で多数個の電極6を配列した半導体チップ4を搭載した例である。このような多層回路基板を用いれば半導体チップ4のすべての電極6と回路パターン7、7aとを電気的に接続して外部接続端子9と電極6とを電気的に接続することができる。同図で7aは内層の回路パターン、5a～5dは第1層～第4層の回路基板である。

【0005】

【発明が解決しようとする課題】 上記のように、半導体チップを回路基板に搭載する場合、電極の数がそれほど多くない場合は回路基板を2層程度積層した多層回路基板で済むのであるが、30×30ピン、40×40ピンといったきわめて多くの電極を配列した半導体チップを搭載する場合には、回路基板を6～10層といった多数層に積層しなければならない。

【0006】 高密度に回路パターンが形成された回路基板を積層して多層回路基板を構成するにはビルドアップ法等の高密度配線方法が使用される。しかし、多層回路基板の製造では製品の歩留り、信頼性、製造コストの点で大きな問題がある。すなわち、回路基板を多層に形成する場合には層ごとに回路パターンを形成するとともにビアにより層間で回路パターンを電気的に接続して順次積層するようにするから、その製造プロセスにはきわめて高精度が要求され、現在でも製品の信頼性は必ずしも高くない。そして、多層に積層する場合はすべての層で

不良がないことが必要であるため、技術的な困難さが一層増大する。

【0007】このような理由から、多層回路基板を歩留りよく製造するために配線層の層数を減らすことはきわめて有効である。本発明は実装面側に30×30ピンあるいは40×40ピンといった多ピンで格子状に電極を配置した半導体チップ、あるいは実装面側に格子状に電極を配置した半導体装置等の電子部品を搭載する多層回路基板に関するものであり、これらの半導体チップあるいは半導体装置等を搭載する多層回路基板の層数を減らし、これによって多層回路基板の製造歩留りを向上させ、信頼性の高い製品として提供できるようにすることを目的としている。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するため次の構成を備える。すなわち、搭載される電子部品の実装面側に格子状に配列された多数個の接続電極と同一の配置で形成されるとともにビアを介して層間の回路パターンと電気的に接続されたランドと、一端が前記ランドに接続され他端が前記ランドが配列された領域内から外側に引き出されて形成された回路パターンとを有する回路基板が積層された多層回路基板において、前記電子部品が搭載される第1層目の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、前記領域の対角線上に配置されたランドおよび対角線近傍に配置されたランドから回路パターンが引き出され、第2層目以降の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、上層で回路パターンが引き出されて対角線方向に形成された空きスペースの側縁上に配置されたランドから回路パターンが引き出されていることを特徴とする。

【0009】また、前記第1層目の回路基板で、前記領域の対角線上に配置されたランドと、当該対角線の一方側で対角線と平行な1つの列上に配置されたランドから回路パターンが引き出されていることを特徴とする。また、前記ランドが配列された領域の各辺の中央位置の近傍で外周側に配置されるランドから優先的に回路パターンが引き出されていることを特徴とする。

【0010】また、搭載される電子部品の実装面側に格子状に配列された多数個の接続電極と同一の配置で形成されるとともにビアを介して層間の回路パターンと電気的に接続されたランドと、一端が前記ランドに接続され他端が前記ランドが配列された領域内から外側に引き出されて形成された回路パターンとを有する回路基板が積層された多層回路基板において、前記電子部品が搭載される第1層目の回路基板について、ランドが配列された領域で最外周に配置されたすべてのランドと、前記角部近傍で対角線の近傍に配置されたランドから回路パターンが引き出され、第2層目以降の回路基板について、ランドが配列された領域で最外周に配置されたすべてのラ

ンドと、上層で回路パターンが引き出されて角部近傍に形成された空きスペースの近傍に配置されたランドから、前記空きスペースを回路パターンの引き出しスペースとして回路パターンが引き出されていることを特徴とする。

【0011】

【実施例】以下、本発明に係る多層回路基板の実施例について、添付図面とともに詳細に説明する。回路基板でランドを配置した領域内から回路パターンを引き出す際は、隣接するランド間を通して回路パターンを引き出すようにする。隣接するランド間に少なくとも1本の回路パターンを通すことができる条件は、ランドのピッチ（中心間距離） p 、回路パターンの線幅 w 、回路パターンの間隔 s 、ランドの径 c として、 $p > w + 2s + c$ を満足することである。本発明に係る多層回路基板は、各層を構成する回路基板のランドピッチ、回路パターンの線幅等がこの条件を満たすものであることが前提である。

【0012】（実施例1）図1～5は多層回路基板の第1の実施例を示す。本実施例は30×30ピンで正格子状にランド10を配列した場合の回路パターン7の引き出し例を示す。

ランドピッチ	240 μ m、
ランド径	110 μ m、
回路パターンの線幅	43 μ m、
回路パターンの間隔	43 μ m

【0013】図1は電子部品が接合される第1層目の回路基板でのランド10の配置と回路パターン7の引き出し例を示す。なお、第1層目の回路基板に設けられるランド10の配置は多層回路基板に搭載する電子部品の接続電極の配置と一致する。図1に示す回路パターン7の引き出し方法で特徴的な構成は、ランド10が配置されている矩形領域で最外周に位置するランド10aのすべてから回路パターン7を引き出すとともに、矩形領域の対角線上に配置されるランド10bと、対角線の一方側で対角線と平行な1つの列上に配置されるランド10cから優先的に回路パターン7を引き出すことにある。

【0014】回路パターン7が引き出されるランド10b、10cで矩形領域の中央部側に位置するランドについては、図1に示すように、隣接するランド10の間を通してランド10の配置領域の外側まで直線的に回路パターン7が引き出される。これによって、ランド配置領域の外側での回路パターン7の配置は、ランド配置領域の最外周に配置したランド10aから引き出される回路パターン7と、ランド配置領域の内側から引き出される回路パターン7とが交互に配置されるようになる。

【0015】なお、ランド配置領域の角部近傍に配置されているランドについては、上記の対角線上に配置されているランド10bとこれに平行な列上のランド10c以外のランドからも回路パターン7を引き出すことがで

きる。図1で10dは上記ランド以外で回路パターン7を引き出したランドである。ランド配置領域の角部近傍部分については回路パターン7が引き出しやすくなっていることによるものである。

【0016】図2は第2層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。なお、第1層目で回路パターン7が引き出されたランドについては第2層目にランド10を配置する必要がない。したがって、第2層目に配置されているランド10は第1層目の回路基板で回路パターン7が引き出されていないランド10である。第2層目に配置されているランド10と第1層目のランド10とはビアにより層間で電氣的に接続されている。

【0017】第2層目の回路基板での回路パターン7の引き出し方法は、第1層目の回路基板での回路パターン7の引き出し方法と同様にランド配置領域の最外周に位置するランド10aについてはすべて回路パターン7を引き出し、ランド配置領域の内側部分については第1層で対角線上に配置されたランド10bと対角線に平行な列上に配置されたランド10cを引き出したことにより対角線方向に形成された空きスペースの側縁上に配置されたランド10eから優先的に回路パターン7を引き出すことにある。

【0018】第1層目の回路基板で対角線上に配置されたランド10bと対角線に平行な列上に配置されたランド10cから回路パターン7を引き出したことにより、第2層目の回路基板では対角線方向に空きスペースが形成される。第2層目でこの空きスペースの側縁上に配置されるランド10eから回路パターン7を引き出すということは、いわば回路基板に配置されているランド配置領域で対角線方向の空きスペースを広げるように回路パターン7を引き出すランドを選択するということである。なお、第2層目においても、ランド配置領域で角部近傍に配置されるランド10dについては優先的に引き出ししている。

【0019】図3は第3層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。この第3層目でもランド配置領域の最外周のランド10aについてはすべて回路パターン7を引き出し、ランド配置領域の内側部分については対角線方向に形成される空きスペースの側縁上に配置されるランド10eから優先的に回路パターン7を引き出ししている。

【0020】図4は第4層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。この第4層目でもランド配置領域の最外周のランド10aについてはすべて回路パターン7を引き出し、ランド配置領域の内側部分については対角線方向に形成される空きスペースの側縁上に配置されるランド10eから優先的に回路パターン7を引き出ししている。第4層目では対角線方向に広く形成される空きスペース部分を通過して回路パ

ターン7を引き出ししている。

【0021】図5は第5層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。第5層目に残っているランド10は僅かであるから、すべてのランド10から簡単に回路パターン7を引き出すことができ、回路パターン7を引き出すデザインも適宜選択することができる。

【0022】本実施例の多層回路基板によれば、5層の回路基板によってすべてのランド10から回路パターン7を引き出すことができる。ランド配置領域の外周から2列ずつ回路パターン7を引き出す従来方法によると7層必要であるのに対して、本実施例の方法によれば有効に回路基板の積層数を減らすことができる。

【0023】(実施例2) 図6～10は多層回路基板の第2の実施例を示す。本実施例も実施例1と同様に30×30ピンで正規格子状にランド10を配列した場合の回路パターン7の引き出し例である。

ランドピッチ	350 μ m、
ランド径	120 μ m、
回路パターン7の線幅	50 μ m、
回路パターン7の間隔	50 μ m

【0024】図6は第1層目の回路基板でのランド10の配置と回路パターン7の引き出し例を示す。本実施例で特徴とする構成は、ランド配置領域の対角線上に配置されるランド10から優先的に回路パターン7を引き出すとともに、ランド配置領域の角部近傍で対角線方向の近傍に配置されるランド10fから回路パターン7を引き出しすることにある。すなわち、ランド配置領域の対角線方向に配置されるランド10から優先的に回路パターン7を引き出しする考え方を基礎におき、ランド配置領域の角部からより優先的に回路パターン7を引き出しするものである。

【0025】図7は第2層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。第2層目においても、最外周のランド10aについてはすべてのランド10aから回路パターン7を引き出すとともに、ランド配置領域の角部近傍に配置されるランドで対角線上に配置されるランドとその両側近傍に配置されるランド10fから優先的に回路パターン7を引き出ししている。

【0026】図8は第3層目の回路基板でのランド10の配置と回路パターン7の引き出し、図9は第4層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。いずれの回路基板でも、ランド配置領域のうち角部近傍で対角線方向に配置されているランドを優先的に引き出ししている。

【0027】図7、8、9に示す回路パターン7の引き出し方法を見てわかるように、本実施例の場合には、上層で回路パターン7を引き出したことによって空いたスペースを当該層で回路パターン7を引き出すスペースとして利用できるという利点がある。すなわち、ランド配

置領域の角部近傍で対角線近傍のランド10fから優先的に回路パターン7を引き出すことにより、ランド配置領域の角部での空きスペースが広がり、この空きスペースが回路パターン7を引き出す際に無駄なく利用される。

【0028】図10は第5層目のランド10の配置と回路パターン7の引き出しを示す。本実施例の場合も、実施例1と同様に5層によって構成されるが、実施例1とくらべて第5層目に残っているランド10は僅かであり、ほぼ第4層目までで回路パターン7の引き出しが終わっている。図10に示すように、回路基板内でランド10および回路パターン7の占める領域以外の空きスペースが広い場合には、空きスペース部分に電源層や接地層といった共通に使用する層を形成して利用することができる。

【0029】(実施例3) 図11、12多層回路基板の第3の実施例を示す。本実施例も実施例1、2と同様に同様に30×30ピンで正規格子状にランド10を配列した場合の回路パターン7の引き出し例である。ただし、本実施例では回路パターン7の配線幅および配線間隔が上記例よりも狭い場合であり、隣接するランド10間に3本の回路パターン7を通すことができる場合の例である。

ランドピッチ	350 μm、
ランド径	100 μm、
回路パターンの線幅	25 μm、
回路パターンの間隔	25 μm

【0030】図11は第1層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。本実施例での回路パターン7の引き出し方法も上記実施例と同様で、ランド配置領域で最外周のランド10aについてすべて回路パターン7を引き出し、さらにランド配置領域で角部近傍に配置されているランド10と、ランド配置領域の対角線上およびその近傍に配置されているランド10を優先的に引き出したものである。

【0031】本実施例では隣接するランド10の間に3本の回路パターン7を通すことが可能であるから、ランド配置領域の対角線上に配置されるランド10とその両側で複数列のランド10から回路パターン7を引き出すことができている。図12は第2層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。本実施例では第2層ですべてのランド10から回路パターン7が引き出されている。

【0032】本実施例と同一条件で、従来の回路パターンの引き出し方法によって回路パターンを引き出した場合は回路基板は3層必要とする。これに対して、本実施例では回路基板は2層ですますことができ、回路基板の積層数を減少させる上で有効である。なお、本実施例の場合に回路基板の両面に配線を設ければ回路基板を積層する必要がなくなる。

【0033】(実施例4) 図13~17は多層回路基板の第4の実施例を示す。本実施例は42×42ピンで正規格子状配列のランドから中央部の22×22ピンの正規格子状配列のランドを除いた口の字形のランド配置領域を有する場合の回路パターン7の引き出し例を示す。

ランドピッチ	240 μm、
ランド径	110 μm、
回路パターンの線幅	43 μm、
回路パターンの間隔	43 μm

【0034】本実施例ではランド配置領域で最外周のランド10aから回路パターン7を引き出すとともに、ランド配置領域で対角線上に配置されるランド10bおよびその近傍のランド10eから優先的に回路パターン7を引き出し、さらにランド配置領域の各辺の中央位置の近傍で外周側に配置されるランド10gから優先的に回路パターン7を引き出している。

【0035】図13は第1層目の回路基板でのランド10の配置と回路パターン7の引き出し、図14は第2層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。ランド配置領域で対角線方向から引き出すランドについては、対角線方向に形成される空きスペースの側縁上に配置されるランド10eから回路パターン7が引き出されている。

【0036】図15は第3層目の回路基板でのランド10の配置と回路パターン7の引き出し、図16は第4層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。ランド配置領域の対角線方向とランド配置領域の各辺上で中央部近傍のランドから優先的に回路パターン7が引き出されている様子がわかる。

【0037】図17は第5層目の回路基板でのランド10の配置と回路パターン7の引き出しを示す。第5層目まで残っているランドはごく僅かであり、ほとんど第4層まででランドからの回路パターンの引き出しは終了している。ランド配置領域の外周から2列ずつ回路パターンを引き出す従来方法を本実施例の条件に適用すると回路基板は5層必要になる。これに対して、本実施例の方法によれば、ほぼ4層でほとんどの回路パターンの引き出しが完了する点で回路パターンの引き出しが効率的になされているということが出来る。

【0038】

【発明の効果】本発明に係る多層回路基板は、上述したように、ランドを配列した領域内から効率的に回路パターンを引き出すことを可能とし、これによって、多層回路基板の層数を減らすことができ、多層回路基板の製造歩留りを向上させるとともに、信頼性の高い多層回路基板として提供することを可能とする。また、本発明に係る多層回路基板は、ランドの外側から順次内側に向けて回路パターンを引き出す方法によるものであり、従来の配線順序を大きく変えることなく効率的な回路パターンの引き出しが可能となる等の著効を奏する。

【図面の簡単な説明】

【図 1】多層回路基板の第 1 実施例における第 1 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 2】多層回路基板の第 1 実施例における第 2 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 3】多層回路基板の第 1 実施例における第 3 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 4】多層回路基板の第 1 実施例における第 4 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 5】多層回路基板の第 1 実施例における第 5 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 6】多層回路基板の第 2 実施例における第 1 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 7】多層回路基板の第 2 実施例における第 2 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 8】多層回路基板の第 2 実施例における第 3 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 9】多層回路基板の第 2 実施例における第 4 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 10】多層回路基板の第 2 実施例における第 5 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 11】多層回路基板の第 3 実施例における第 1 層目の回路基板でのランドおよび回路パターンの配置を示す*

* 説明図である。

【図 12】多層回路基板の第 3 実施例における第 2 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 13】多層回路基板の第 4 実施例における第 1 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 14】多層回路基板の第 4 実施例における第 2 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 15】多層回路基板の第 4 実施例における第 3 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 16】多層回路基板の第 4 実施例における第 4 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 17】多層回路基板の第 4 実施例における第 5 層目の回路基板でのランドおよび回路パターンの配置を示す説明図である。

【図 18】フリップチップ接続により半導体チップを搭載する方法を示す説明図である。

【図 19】従来の回路パターンの引き出し方法を示す説明図である。

【図 20】多層回路基板に半導体チップを搭載した構成を示す断面図である。

【符号の説明】

4 半導体チップ

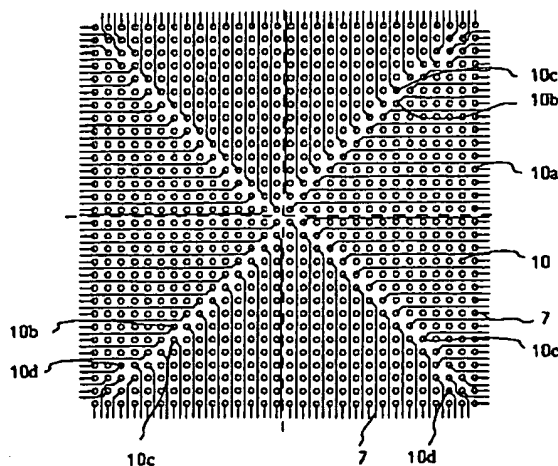
5 回路基板

6 電極

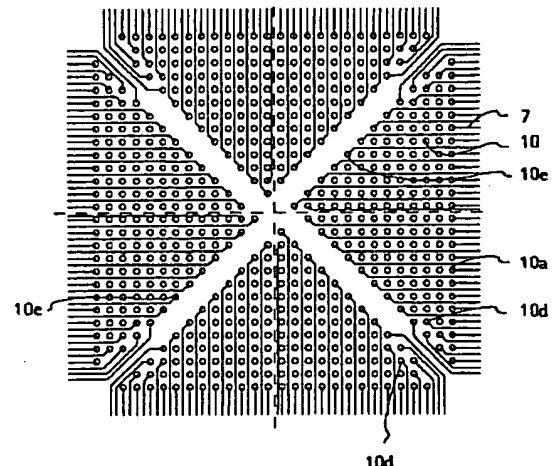
7 回路パターン

10、10a、10b、10c、10d、10e、10f ランド

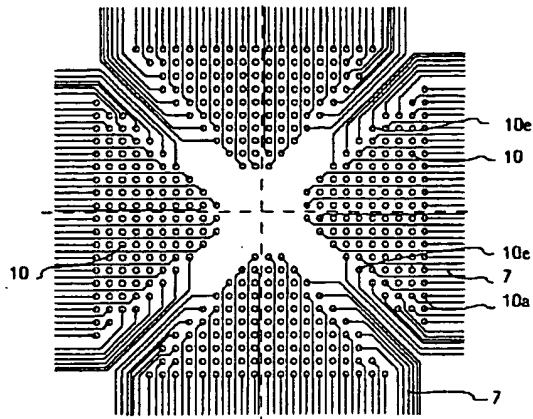
【図 1】



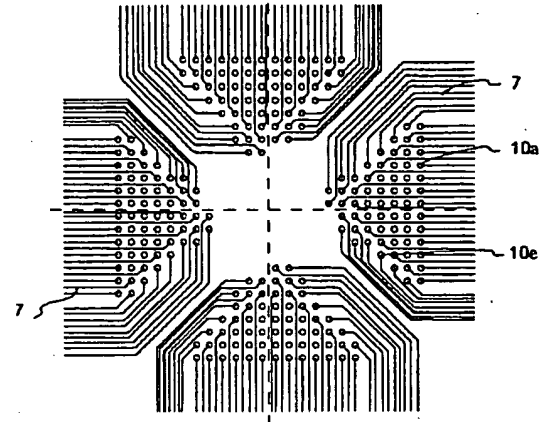
【図 2】



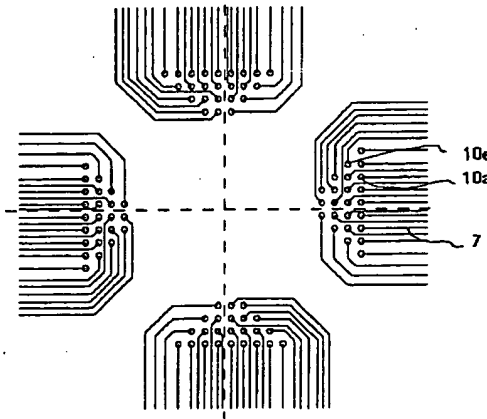
【図3】



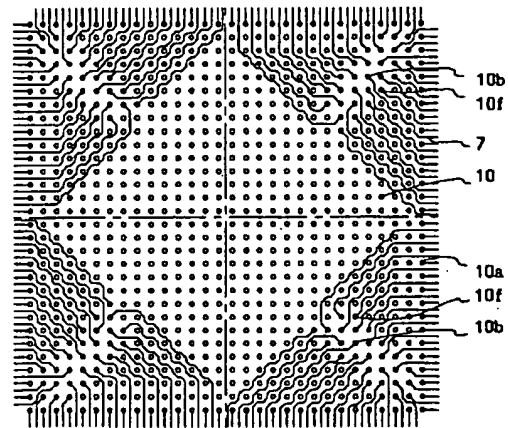
【図4】



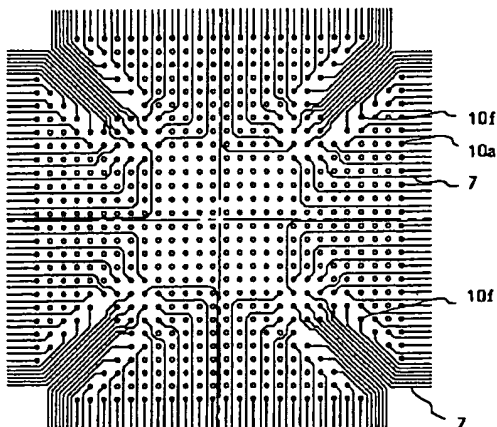
【図5】



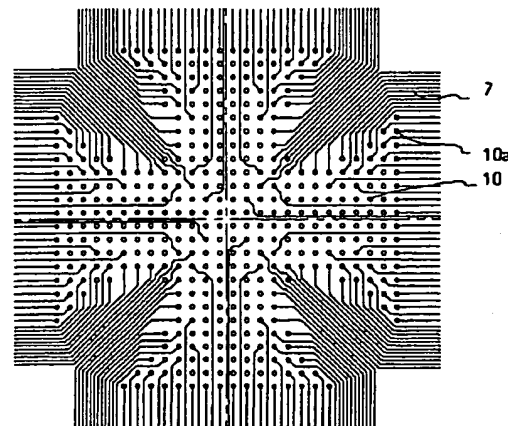
【図6】



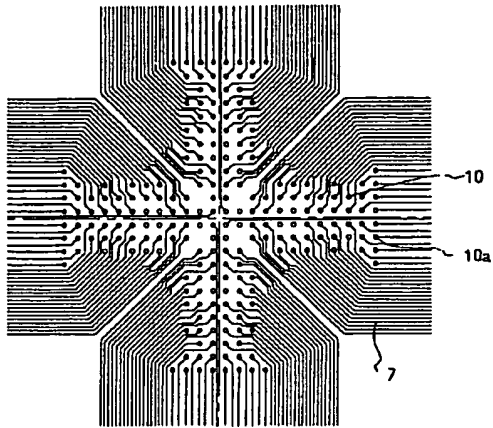
【図7】



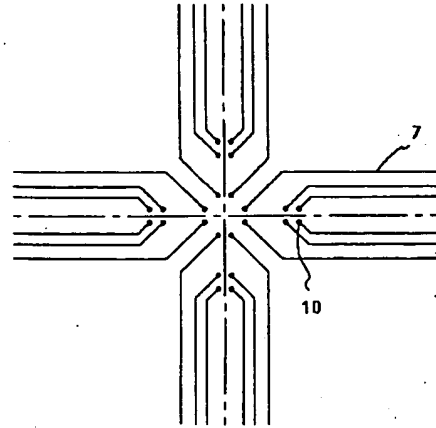
【図8】



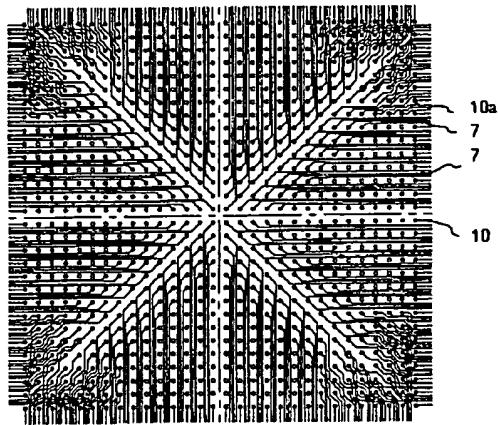
【図9】



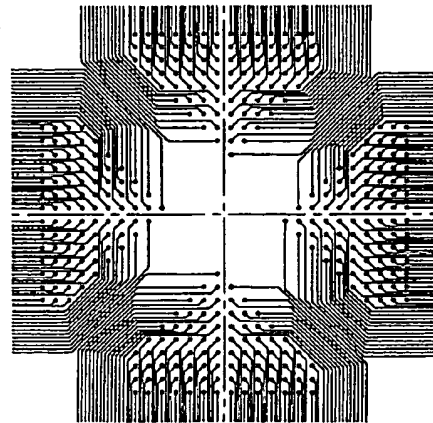
【図10】



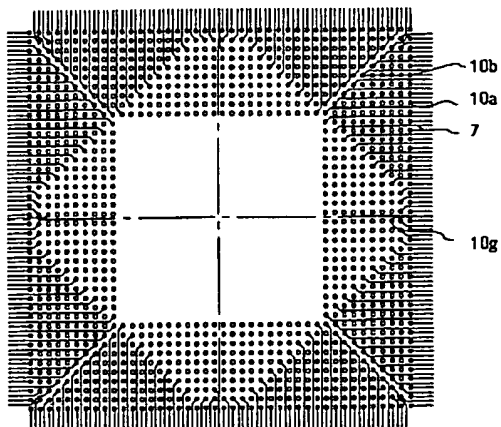
【図11】



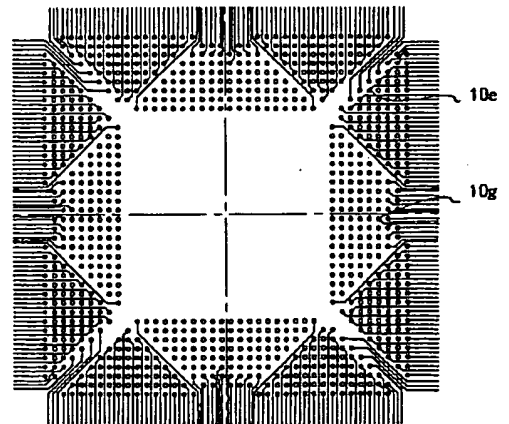
【図12】



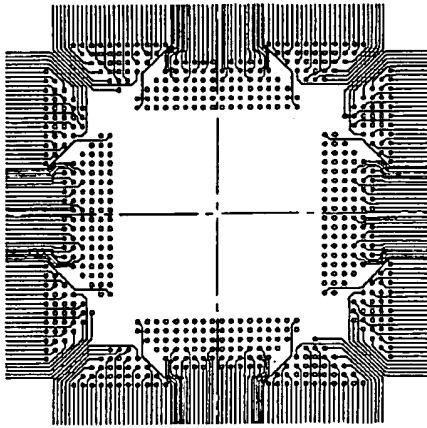
【図13】



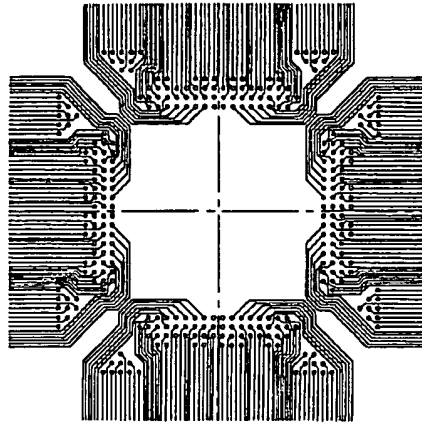
【図14】



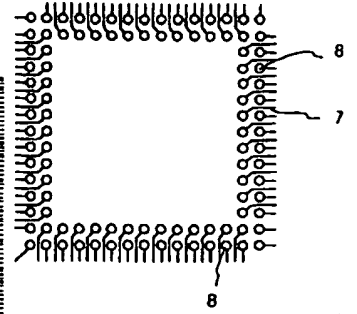
【図15】



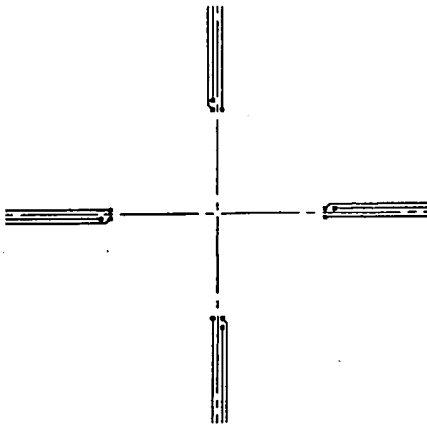
【図16】



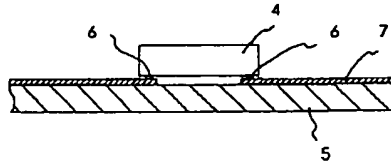
【図19】



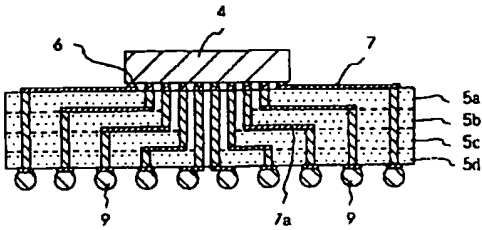
【図17】



【図18】



【図20】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.